

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

19.10.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月 1 9 日  
Date of Application:

REC'D 09 DEC 2004

出 願 番 号                      特 願 2 0 0 3 - 3 2 7 7 8 8  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 2 7 7 8 8 ]

WIPO

PCT

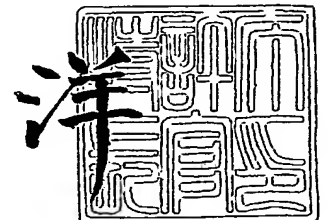
出    願                      人                      松下電器産業株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 2113150057  
【提出日】 平成15年 9月19日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/02  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 高鳥 正博  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100097445  
    【弁理士】  
    【氏名又は名称】 岩橋 文雄  
【選任した代理人】  
    【識別番号】 100103355  
    【弁理士】  
    【氏名又は名称】 坂口 智康  
【選任した代理人】  
    【識別番号】 100109667  
    【弁理士】  
    【氏名又は名称】 内藤 浩樹  
【手数料の表示】  
    【予納台帳番号】 011305  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9809938

## 【書類名】 特許請求の範囲

## 【請求項 1】

アドレス信号を発行し各要素を制御可能なCPUと、MPEG-2\_\_TSを復号して映像信号および音声信号出力するデコーダと、Common-InterfaceあるいはCableCARDを挿入可能なPCカードソケットと接続するPCカードインターフェースと、PCカードソケットの14番ピンからの信号とPCカードソケットの57番ピンからの信号とを入力し、一方の信号を特定の電圧レベルでMPEG-2\_\_TSのクロック信号として前記デコーダに出力可能な第一のセクタおよびPCカードソケットの41番ピン、40番ピン、39番ピン、38番ピン、37番ピン、66番ピン、65番ピン、64番ピンからの信号を入力し、特定の電圧レベルでMPEG-2\_\_TSのデータ信号として前記デコーダに出力可能な第一のバッファを含むインターフェース回路とを備え、前記CPUは、Common-Interfaceが挿入された場合は、前記第一のセクタからPCカードソケットの57番ピンから信号を出力させ、CableCARDが挿入された場合は、前記第一のセクタからPCカードソケットの14番ピンからの信号を出力させるよう制御することを特徴とするDTVモジュール。

## 【請求項 2】

前記インターフェース回路は、前記CPUのアドレス信号のビット14を入力し、電圧レベル5Vあるいは電圧レベル3.3VにしてPCカードソケットの14番ピンに出力するあるいはハイインピーダンスにして出力するかを選択可能な第二のバッファを更に含み、前記CPUは、Common-Interfaceが挿入された場合は、前記CPUのアドレス信号のビット14を電圧レベル5Vで出力させ、CableCARDが挿入された場合は、前記CPUのアドレス信号のビット14を電圧レベル3.3Vで出力させた後、PCカードソケットの14番ピンからの信号をMPEG-2\_\_TSのクロック信号として前記デコーダに出力する時に、前記第二のバッファの出力をハイインピーダンスにさせるよう制御することを特徴とする請求項1記載のDTVモジュール。

## 【請求項 3】

OpenCable仕様の復調器と接続されDRX信号、CRX信号、CTX信号を入力可能なOOBインターフェースと、前記インターフェース回路はDRX信号、CRX信号、CTX信号と前記CPUのアドレス信号のビット9、ビット8、ビット4を入力し、一方の信号を電圧レベル3.3VでPCカードソケットの11番ピン、12番ピン、25番ピンに出力する第二のセクタを更に含み、前記CPUは、Common-Interfaceが挿入された場合は、前記第二のセクタから前記CPUのアドレス信号のビット9、ビット8、ビット4を出力させ、CableCARDが挿入された後PCカードソケットの14番ピンからの信号をMPEG-2\_\_TSのクロック信号として前記デコーダに出力する時に、前記第一のセクタからDRX信号、CRX信号、CTX信号を出力させるよう制御することを特徴とする請求項2記載のDTVモジュール。

## 【請求項 4】

前記OOBインターフェースは更にQTX信号、ETX信号、ITX信号を出力可能であり、前記インターフェース回路はPCカードソケットの22番ピン、23番ピン、24番ピンからの信号を入力しQTX信号、ETX信号、ITX信号に電圧レベル3.3Vにして出力するあるいはハイインピーダンスにして出力するかを選択可能な第三のバッファを更に含み、前記CPUは、Common-Interfaceが挿入された場合は、前記第三のバッファの出力をハイインピーダンスにさせ、CableCARDが挿入された後PCカードソケットの14番ピンからの信号をMPEG-2\_\_TSのクロック信号として前記デコーダに出力する時に、PCカードソケットの22番ピン、23番ピン、24番ピンからの信号を特定の電圧レベルで出力させさせるよう制御することを特徴とする請求項3記載のDTVモジュール。

## 【請求項 5】

前記インターフェース回路は、前記CPUのアドレス信号のビット13、ビット12、ビット11、ビット10、ビット3、ビット2、ビット1、ビット0を入力し、PCカード

ソケットの13番ピン、21番ピン、10番ピン、8番ピン、26番ピン、27番ピン、28番ピン、29番ピンに電圧レベル5Vあるいは電圧レベル3.3Vにして出力するあるいはハイインピーダンスにして出力するかを選択可能な第四のバッファおよび前記CPUのデータ信号のビット7、ビット6、ビット5、ビット4、ビット3、ビット2、ビット1、ビット0を入力しPCカードソケットの6番ピン、5番ピン、4番ピン、3番ピン、2番ピン、32番ピン、31番ピン、30番ピンに電圧レベル5Vあるいは電圧レベル3.3Vにして出力するあるいはハイインピーダンスにして出力するかを選択可能な第五のバッファを更に含むことを特徴とする請求項4記載のDTVモジュール。

【請求項6】

前記インターフェース回路は、前記CPUの8ビットのIO信号を入力しPCカードソケットの61番ピン、15番ピン、9番ピン、44番ピン、45番ピン、7番ピン、42番ピン、58番ピンに電圧レベル5Vあるいは電圧レベル3.3Vにして出力するあるいはハイインピーダンスにして出力するかを選択可能な第六のバッファおよびPCカードソケットの41番ピン、40番ピン、39番ピン、38番ピン、37番ピン、66番ピン、65番ピン、64番ピン、63番ピン、62番ピンからの信号を入力し特定の電圧レベルで前記CPUの10ビットのIO信号に出力する第七のバッファを更に含むことを特徴とする請求項5記載のDTVモジュール。

【請求項7】

ICカードそして前記CPUを接続するICカードインターフェース回路とを備えることを特徴とする請求項6記載のDTVモジュール。

【請求項8】

前記CPUの制御により3.3V電源あるいは5V電源を選択して出力可能な電源スイッチと、前記第二のバッファおよび前記第四のバッファおよび前記第五のバッファおよび前記第六のバッファの電源には前記電源スイッチの出力を使用することを特徴とする請求項6記載のDTVモジュール。

【請求項9】

前記電源スイッチの出力をPCカードソケットの17番ピン、51番ピンに出力することを特徴とする請求項8記載のDTVモジュール。

【請求項10】

PCカードソケットにCommon-InterfaceおよびCableCARDが挿入されていない場合は、前記CPUの制御により前記第二のバッファおよび前記第四のバッファおよび前記第五のバッファおよび前記第六のバッファの出力をハイインピーダンスにすること特徴とする請求項6記載のDTVモジュール。

【請求項11】

前記CPUは、PCカードソケットにCommon-InterfaceおよびCableCARDが挿入されているかどうかをPCカードソケットの36番ピンまたは67番ピンからの信号により求めることを特徴とする請求項10記載のDTVモジュール。

【請求項12】

プリント基板に前記CPUと前記デコーダと前記インターフェース回路と前記ICカードインターフェースとを実装し、プリント基板の半田面には半田ボールを実装することを特徴とする請求項7記載のDTVモジュール。

## 【書類名】明細書

【発明の名称】DTVモジュール

## 【技術分野】

## 【0001】

本発明は、テレビジョン受信機またはパーソナルパソコンまたは携帯型端末などデジタルテレビジョン放送を受信するデジタルテレビジョン受信機の部品であるデジタルテレビ（以下DTVと略する）モジュールに関するものである。

## 【背景技術】

## 【0002】

近年、日本国内、北米、欧州を始め、テレビジョン放送のデジタル化が始まり、それぞれの地域の放送規格に応じたデジタルテレビジョン放送受信機が発売されている。例えば、地上波デジタルテレビジョン放送については、地域によってサービス内容や、導入時の技術水準などが異なるため、以下の3つの規格が勧告されている。欧州では、DVB-T (Digital Video Broadcasting-Terrestrial) 方式、アメリカでは、ATSC (Advanced Television Systems Committee) 方式、日本国内では、ISDB-T (Integrated Services Digital Broadcasting-Terrestrial) 方式となっている。

## 【0003】

これらの規格における映像と音声の圧縮方式は、全てMPEG-2規格に則った方式を採用している。伝送方式もMPEG-2-TS規格に則っている。そのため、DTVにおける映像及び音声の復号部は、インターフェースおよび回路を、全ての地域で共通化することができる。このことにより、モジュールのメーカーは（以下メーカーと略す）、復調部からMPEG-2-TSでインターフェースされた後の回路、すなわちバックエンドのハードウェアにおいては、全世界共通のモジュールを製品化することが可能であり、量産効果を上げる事ができる。

## 【0004】

一方、テレビジョン信号をアンテナなどから受信した後、MPEG-2-TSでインターフェースするまでの部分をフロントエンドと言うが、フロントエンドにおけるチューナー、復調部においては、地域特有の電波政策に依存する所が多く、それぞれ異なった方式を採用している。復調部における復調方式は、DVB-TおよびISDB-TではQAM方式を採用しており、ATSCではVSB方式を採用している。

## 【0005】

フロントエンド、バックエンド間の何処かに位置するCA (Conditional Access) 部は外付けのCAモジュールと一体に動作する。CA部においては、ビジネスとも関連するため、暗号化方式、CAモジュールとのインターフェース仕様ともに、ビジネス領域、市場ごとに方式が異なっている場合が多い。DVB-TではCI (Common-Interface) インターフェース、ATSCにおける地上波デジタルテレビジョン放送、Cable放送ではCableCARDインターフェース、ISDB-Tでは、ICカードインターフェースを採用している。これらのインターフェースは、何れも端子仕様において、物理的仕様および電氣的仕様が異なるCAモジュールを接続する。

## 【0006】

従って、従来、メーカーは、全世界共通のバックエンドモジュールと、各地域毎のフロントエンドモジュールと、市場毎のCA部とを組み合わせ、各市場向けの構成の異なるデジタルテレビジョン受信機を製品化し動作保証してきた。

## 【0007】

なお、CIについての詳細は、EUROPEAN STANDARD EN50221 (Common-Interface Specification for Conditional Access and other Digital Video Broadcasting Decoder Applications)、CableC

ARD (旧名POD) についての詳細は、AMERICAN STANDARD ANSI/SCTE28 2001 (HOST-POD Interface Standard)、ICカードインターフェースについては、ISO7816-1:1987にそれぞれ記載されている為、詳細説明は省略する。

【0008】

一方、CA部を結合する事で複数の市場にも対応する取り組みも検討されている (例えば、特許文献1参照)。

【0009】

特許文献1は、それぞれのCAモジュールを接続可能な複数のCAモジュールインターフェースを備える。複数のCAモジュールインターフェースは、直列に接続されている。

【特許文献1】特開2000-36820号公報

【非特許文献1】PC Card Standard Volume2 Electrical Specification

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら上記のような構成では、CAモジュールインターフェースをそれぞれ備える必要がある。従って、インターフェースの回路やソケットのコストが増大する為に、CAモジュール含めた各市場共通のDTVモジュールの実現を考えた場合、コストデメリットが生じる。よって、本来共通化して享受するはずの量産効果によるコストダウンが小さくなるという問題が生じていた。

【0011】

また、CAモジュールとの接続端子数は、備えるインターフェース数に応じて増加する。端子数では、例えば、CI、CableCARDの端子数はそれぞれ64端子であるが、これら2種のCAモジュールインターフェースだけで少なくとも128の端子が必要となる。従って、CAモジュールとの接続端子数が増大する為に、CAモジュール含めた各市場共通のDTVモジュールの実現を考えた場合、小型化する上でデメリットが生じる。よって、モジュール化して小型化を図る上で端子数がボトルネックになるという問題が生じていた。

【0012】

本発明は上記従来の問題点を解決するDTVモジュールおよびそれに用いるインターフェース回路を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記課題を解決するために、本発明のDTVモジュールは、アドレス信号を発行し各要素を制御可能なCPUと、MPEG-2TSを復号して映像信号および音声信号出力するデコーダと、Common-InterfaceあるいはCableCARDを挿入可能なPCカードソケットと接続するPCカードインターフェースと、PCカードソケットの14番ピンからの信号とPCカードソケットの57番ピンからの信号とを入力し、一方の信号を特定の電圧レベルでMPEG-2TSのクロック信号として前記デコーダに出力可能な第一のセレクトおよびPCカードソケットの41番ピン、40番ピン、39番ピン、38番ピン、37番ピン、66番ピン、65番ピン、64番ピンからの信号を入力し、特定の電圧レベルでMPEG-2TSのデータ信号として前記デコーダに出力可能な第一のバッファを含むインターフェース回路とを備え、前記CPUは、Common-Interfaceが挿入された場合は、前記第一のセレクトからPCカードソケットの57番ピンから信号を出力させ、CableCARDが挿入された場合は、前記第一のセレクトからPCカードソケットの14番ピンからの信号を出力させるよう制御することを特徴とするものである。

【発明の効果】

【0014】

本発明のDTVモジュールおよびそれに用いるインターフェース回路は、各市場のCAモジュールに接続する為のインターフェース回路やソケットを共通化できる。従って、コストを増大させる事無く、CAインターフェース含めた全世界対応のDTVモジュールを実現し製品化できる為、量産効果によるコストダウンが更に見込め、デジタルテレビジョン受信機の普及に貢献する事ができる。

【0015】

また、CAモジュールとの接続端子数を増大させる事無く、CAインターフェース含めたDTVモジュールを実現できる為、モジュール化による小型化が見込め、携帯型受信機や車載受信機などにも応用することによる、デジタルテレビジョン受信機の普及に貢献する事ができる。

【発明を実施するための最良の形態】

【0016】

以下では、当該発明にかかる実施するための最良の形態について、図面を参照しつつ説明を行う。

【0017】

(実施の形態1)

以下本発明の第1の実施の形態を、図面を参照しながら説明する。図1は、本発明の第1の実施の形態に係る実装形態を示す図である。図1に示す実装形態は、DTVモジュールの実装形態の例である。

【0018】

1はDTVモジュールであり、両面に実装が可能な多層構造のプリント基板と実装される部品より成る。部品面に実装されている部品は、バックエンドの処理を行うデコードLSI2と、各市場におけるCAモジュールと直接接続可能な共通インターフェースであるCAインターフェース回路3と、デコードLSIのワーク用のメモリ4と、デコードLSIのクロック生成用のVCXO5と、デコードLSI内のCPU用のプログラムのコードを記憶するROM6と、図示しない各部品用の電源に接続されるコンデンサ7がある。半田面に実装されている部品は、デコードLSIの第二のワーク用のメモリ10と、DTVモジュールを実装する為の半田ボール9がある。

【0019】

次にデジタル放送受信機における、DTVモジュールの実装形態を図2を参照して説明する。図2は、デジタル放送受信機におけるDTVモジュールの実装形態を示す図である。

【0020】

DTVモジュール1は、地域毎のフロントエンド102と市場毎のCAモジュールを接続する為のソケット105が実装されているマザー基板101に実装される。マザー基板101には、半田ボール9の配置に対応したランドが用意されており、マザー基板101とDTVモジュール1は、リフロー工程により接合される。DTVモジュール1が接合されたマザー基板101は、受信機104の筐体に電源ユニット103と共に組み込まれる。

【0021】

メモリ4やメモリ10など動作速度のメモリはDTVモジュール1側にあるため、マザー基板101には動作速度が遅い部品のみが実装されることになる。従来のDTVモジュールを使用しない受信機では、同じプリント基板上に部品を配置するため、プリント基板の性能は、最も高速なメモリにより決まっていた。そのために従来は誘電率の高い基板を使用していたが、マザー基板101は、誘電率の低い低性能なプリント基板を使用することが可能であり、コストダウンを図る事ができる。

【0022】

また、DTVモジュール1に対応したランドを備えたマザー基盤101を各市場毎の用意することで、DTVモジュール1と結合して、各市場向けの受信機を製品化することができる。

## 【0023】

次にDTVモジュールのシステム構成を、図3を参照して説明する。

## 【0024】

12は復調器で、アンテナから受信するデジタルテレビジョン放送を受信し、選局するチューナーと復調器から成る。復調器12は、DTVモジュール1にMPEG-2\_\_TSを出力する。DTVモジュール1では、MPEG-2\_\_TSとのインターフェースを物理的および電氣的に接続保証することにより、復調器12は、QAM方式のDVB-TおよびISDB-T対応、VSB方式のATSC対応いずれであっても直接接続可能である。

## 【0025】

13は、PCカードソケットで、CAモジュール14を挿入するソケットである。DVB-TにおけるCI、ATSCにおけるCableCARDはいずれもPCカードと同じ物理仕様を持つため（電氣的にはそれぞれ異なるが）、同じPCカードソケット13で接続する事ができる。DTVモジュール1では、それらのCAモジュールとの接続を物理的および電氣的にも後述するように接続保証することにより、CI、CableCARDいずれであっても直接接続可能である。

## 【0026】

3はCAインターフェース回路であり、詳細は後述するが、復調器12からのMPEG-2\_\_TSを入力する回路と、CAモジュール14と電氣的に接続保証する為のインターフェース回路を備えている。復調器12からのMPEG-2\_\_TSはCAモジュール14を用いて、デスクランブルされる。デスクランブル後のMPEG-2\_\_TSは、後述するデコーダLSI2に出力される。また、CAインターフェース回路3は、CAモジュール14内のレジスタやメモリにアクセスするために、後述するCPU19のバスにも接続される。

## 【0027】

23は、ICカードソケットであり、図示しないICカードを挿入するソケットである。ISDB-TにおけるCAモジュールは、ICカードと同じ物理的、電氣的仕様を持つため、接続する事ができる。22はICカードインターフェースであり、CPU19のバスに接続され、電氣的にCPU19とICカードをインターフェースする。ICカードの端子数は8である。

## 【0028】

2はデコーダLSIであり、デコーダ18とCPU19を備え、MPEG-2\_\_TSを入力し映像と音声を複合して出力するバックエンドの処理を行う。4はメモリであり、デコーダLSI2と接続され、CPU19の2次キャッシュやその他アプリケーション用のワークメモリとして、また、デコーダ18のデコード時のワークメモリとして使用する。5は、VCXOであり、デコーダ18が使用する27MHzのMPEG-2システムクロックなどを生成してデコーダLSI2に出力する。6はROMであり、CPU19が動作する為のプログラムのコードが記憶されており、CPU19から読み出せるようにCPU19のバスに接続されている。

## 【0029】

以上の構成から成るDTVモジュール1は、単体でDVB-TおよびISDB-TおよびATSCおよびOpen Cableにおける復調器およびCAモジュールと物理的、電氣的に接続保証することができる。

## 【0030】

次にCAインターフェース回路3の詳細を図4、図5、図6を用いて説明する。

## 【0031】

図4はCAインターフェース回路3のシステム構成を示した図である。図5はCAインターフェース回路3におけるバッファ制御を示した図である。図6はCAインターフェース回路3における電源制御を示した図である。

## 【0032】

図4におけるバッファシンボルの記載について説明する。シンボルは、一つ以上のバッ



ファが並列に接続された回路を記している。並列に接続される数は、出力信号に信号線数を書き加えて記している。バッファの出力はシンボル内の三角形の頂点が指し示す辺であり、入力はその反対側である。シンボルの上辺に接続される信号は、個々のバッファに供給される電源である。特に◆で記した信号は、3.3V電源32と接続する信号である。なお、バッファは、3.3V電源においても5V、3.3Vの電圧レベルの信号が入力可能である。シンボルの下辺に接続される信号は、個々のバッファの出力をオンオフする制御信号である。ここでいうオンとは、入力信号を出力することであり、オフとは入力信号を出力せずに出力をハイインピーダンス状態にすることである。個々の制御信号は、CPU19の汎用IOポートを用いてCPU19より制御される。汎用IOポートは、図4では、IO\_\_以下ビット名で記している。また、デコーダLSI2の電源は3.3V電源が供給されている。

#### 【0033】

図4におけるPCカードソケット13の端子との接続については、物理的な接続を明確にするために、PC Card Standard Volume 2 Electrical Specificationに規定されている16bit PC CARD I/O and Memory card Pin Assignmentの端子名を使用して説明する。

#### 【0034】

42は3回路から成るバッファである。入力、ATSC Cableの復調器12がDTVモジュール1に接続される場合のDRX、CRX、CTX信号とに接続され、出力は、後述するバッファ37の出力と、PCカードソケット13のA[9, 8, 4]端子に接続される。CPU19の出力するイネーブル制御信号Hにより出力のオンオフが制御される。電源は3.3V電源が接続される。ATSC Cableの復調器の詳細については、SCTE40 2002 (Digital Cable Network Interface Standard)に記載されているので説明を省略する。

#### 【0035】

43は3回路から成るバッファである。入力、PCカードソケット13のA[7, 6, 5]端子と、後述するバッファ37の出力とに接続され、出力はATSC Cableの復調器12がDTVモジュール1に接続される場合のQTX、ETX、ITX信号とに接続される。CPU19の出力するイネーブル制御信号Hにより出力のオンオフが制御される。電源は3.3V電源が接続される。仮に復調器12がATSC Cableでなければ、バッファ42とバッファ43はオフされる。

#### 【0036】

33は6回路から成るバッファである。入力、PCカードソケットのWAIT#、CD1#、CD2#、IREQ#、VS1#、VS2#端子に接続され、出力はCPU19の汎用IOポートであるIO[5:0]と接続される。CPU19の出力するイネーブル制御信号Kにより出力のオンオフが制御される。電源は3.3V電源が接続される。

#### 【0037】

34は1回路のバッファである。入力、PCカードソケットのVS2#端子に接続され、出力はデコーダ18におけるMPEG-2\_\_TS入力信号の中のクロック入力であるTS1\_\_CLKと後述するバッファ35の出力とに接続される。CPU19の出力するイネーブル制御信号Dにより出力のオンオフが制御される。電源は3.3V電源が接続される。

#### 【0038】

35は1回路のバッファである。入力、PCカードソケットのA[14]端子に接続され、出力はデコーダ18におけるMPEG-2\_\_TS入力信号の中のクロック入力であるTS1\_\_CLKとバッファ34の出力とに接続される。CPU19の出力するイネーブル制御信号Eにより出力のオンオフが制御される。電源は3.3V電源が接続される。

#### 【0039】

36は10回路から成るバッファである。内8回路の入力は、PCカードソケットのD

【15:8】端子に接続され、出力はデコーダ18におけるMPEG-2\_\_TS入力信号の中のデータ入力であるTS1\_\_DATA[7:0]に接続される。内2回路の入力は、PCカードソケットのSPKR#、STSCHG#端子に接続され、出力はデコーダ18におけるMPEG-2\_\_TS入力信号の中のバリッド、シンク入力であるTS1\_\_VALID、TS1\_\_SYNCに接続される。CPU19の出力するイネーブル制御信号Kにより出力のオンオフが制御される。電源は3.3V電源が接続される。

【0040】

37は6回路から成るバッファである。入力はCPU19の出力するアドレス信号であるA[10:5]と接続され、出力はPCカードソケットのA[9:4]端子とバッファ42の出力とバッファ43の入力とに接続される。CPU19の出力するイネーブル制御信号Fにより出力のオンオフが制御される。電源は後述する電源切替スイッチ31の出力する電源が接続される。

【0041】

31は電源切替スイッチであり、5V電源と3.3V電源を入力し、CPU19の汎用IOであるIO[15]信号の制御により切り替えて出力する。電源スイッチ31の出力する電源は、出力がPCカードソケット13に接続されているバッファに供給されている。後述するが、CPU19は、PCカードソケットに接続されるCAモジュールに応じて適切な電源電圧を出力するよう制御する。なお、切替の初期状態は、3.3Vを出力するように設定されている。

【0042】

38は8回路から成るバッファである。入力はCPU19の出力するアドレス信号であるA[14:11]、A[4:1]と接続され、出力はPCカードソケットのA[13:10]、A[3:0]端子に接続される。CPU19の出力するイネーブル制御信号Jにより出力のオンオフが制御される。電源は電源切替スイッチ31の出力する電源が接続される。

【0043】

39は1回路のバッファである。入力はCPU19の出力するアドレス信号であるA[15]と接続され、出力はPCカードソケットのA[14]とバッファ35の入力とに接続される。CPU19の出力するイネーブル制御信号Fにより出力のオンオフが制御される。電源は電源切替スイッチ31の出力する電源が接続される。

【0044】

以上のアドレス信号の接続において、CPU19のアドレス信号がPCカードソケットのアドレス信号に対し、1ビット上位にシフトしているのは、CPU19からPCカードソケットにアクセスする際にワードアクセスするシステム構成のためである。仮にバイトアクセスする構成であれば、上位にシフトさせずに接続する。

【0045】

40は8回路のバッファである。バッファ40は双方向バッファが並列に接続されており、図示しないディレクション制御信号により信号の方向が制御される。入力あるいは出力は、PCカードソケットのD[7:0]に接続され、もう片方の出力あるいは入力にはCPU19の入出力するデータ信号であるD[7:0]と接続される。CPU19の出力するイネーブル制御信号Jにより出力のオンオフが制御される。PCカードソケットに接続されている出力用の電源は電源切替スイッチ31の出力する電源が接続される。

【0046】

41は8回路のバッファである。入力にはCPU19の汎用IOであるIO[14:6]信号に接続され、出力はPCカードソケットのREG#、WE#、OE#、IOWR#、IOR#、CE1#、CE2#、RESET端子に接続される。CPU19の出力するイネーブル制御信号Jにより出力のオンオフが制御される。電源は電源切替スイッチ31の出力する電源が接続される。

【0047】

復調器12の出力するMPEG-2\_\_TSは、一旦CAモジュールに入力され、デスク

ランブルされた後、デコーダ18に出力される。スクランブルされていないクリアチャンネルなどのMPEG-2\_\_TSは、CAモジュールを経由せずにデコーダ18に出力しても良い。信号の接続としては、復調器12の出力するMPEG-2\_\_TSの内バリッド、シンク、クロック出力であるVALID、SYNC、CLK信号は、PCカードソケット13のA[17:15]とデコーダ18におけるMPEG-2\_\_TS入力信号の中のバリッド、シンク、クロック入力であるTS0\_\_VALID、TS0\_\_SYNC、TS0\_\_CLKに接続される。復調器12の出力するMPEG-2\_\_TSの内データ出力であるDATA[7:0]信号は、PCカードソケット13のA[25:18]とデコーダ18におけるMPEG-2\_\_TS入力信号の中のデータ入力であるTS0\_\_DATA[7:0]に接続される。

#### 【0048】

PCカードソケット13の端子の内、IOIS16#とINPACK#とVPPについては、特に本発明に関係しないので説明を省略する。また、PCカードソケット13におけるVCC端子には、電源切替スイッチ31の出力する電源が接続される。また、PCカードソケット13におけるCD1#、CD2#、VS1#、VS2#端子にはVCC端子との間にプルアップ抵抗が接続される。

#### 【0049】

なお、デコーダLSI2に接続される信号名および復調器12に接続されるVALID、SYNC、CLK、DATA[7:0]の信号名については、説明のために一例を示しただけで、特に規格などで規定されている物ではない。

#### 【0050】

次にCPU19におけるそれぞれのバッファのイネーブル制御について図5を用いて説明する。

#### 【0051】

図5はPCカードソケット13に挿入されるCAモジュールの種類や状態に対する各イネーブル信号の設定を示した表である。表中にイネーブル信号によるバッファのオンオフの設定を示している。

#### 【0052】

CAモジュールが未挿入の状態では、イネーブル信号がK以外のバッファはオフとなるように制御される。この制御は、CAモジュールが挿入された時にバッファの出力がオンになっていることを避ける為である。CPU19は、CAモジュールが挿入されているかどうかを、バッファ33を介して、CD1#またはCD2#端子をモニターする事で検出可能である。挿入後にCIかどうか、またはCableCARDかどうかは、CAモジュール内のメモリにカードの属性が書かれているために、CPU19はそれをバッファ40を介して読み出す事で、認識する事ができる。

#### 【0053】

CIが挿入されている場合は、バッファ34はオン、バッファ35はオフとなり、TS1\_\_CLKには、VS2#端子が接続される。また、バッファ37はオン、バッファ42はオフとなり、CPU\_\_A[10:5]はA[9:4]に接続される。また、バッファ39はオンとなり、CPU\_\_A[15]はA[14]に接続される。

#### 【0054】

CableCARDが挿入されている場合における、CableCARDの初期状態であるメモリー状態においては、バッファ34、バッファ35はオフとなり、TS1\_\_CLKはPCカードソケット13に接続されない。また、バッファ37はオン、バッファ42はオフとなり、CPU\_\_A[10:5]はA[9:4]に接続される。また、バッファ39はオンとなり、CPU\_\_A[15]はA[14]に接続される。

#### 【0055】

CableCARDが挿入されている場合における、CableCARD状態においては、バッファ34はオフ、バッファ35はオンとなり、TS1\_\_CLKには、A[14]端子が接続される。また、バッファ37はオフ、バッファ42はオンとなり、DRX、C

RX, CTXはA[9:4]に接続される。また、バッファ39はオフとなり、CPU\_\_A[15]はA[14]に接続されない。CableCARDの状態遷移については、AMERICAN STANDARD ANSI/SCTE28 2001 (HOST-POD Interface Standard)に記載されているので説明を省略する。

#### 【0056】

次にCPU19におけるそれぞれのバッファに供給する電源制御およびPCカードソケットのVCC端子に供給する電源制御について図6を用いて説明する。

#### 【0057】

図6はPCカードソケット13に挿入されるCAモジュールの種類や状態に対する電源スイッチ31の設定を示した表である。表中に電源スイッチ31が出力する電源電圧を示している。

#### 【0058】

CAモジュールが未挿入の状態では、3.3Vが出力される。CIが挿入されている場合は、5Vが出力される。CableCARDが挿入されている場合は、3.3Vが出力される。

#### 【0059】

次に図7を用いて、CAモジュールがPCカードソケット13に接続された後、電源スイッチ31の設定を行うまでのCPU19の制御について説明する。

#### 【0060】

図7は電源スイッチ31の設定制御を示すフローチャートである。

#### 【0061】

図7において、CAモジュールがPCカードソケット13に挿入されていない状態を初期状態とする。電源スイッチ31は初期状態の3.3Vを出力している。

#### 【0062】

ユーザーがCAモジュールをPCカードソケット13に挿入した場合、PCカードソケット13のCD1#、CD2#端子がLOWレベルに遷移する。CPU19は、バッファ33を介してLOWレベルを検出すると(ステップS1)、CPU19は、CAモジュールがPCカードソケット13に挿入されたと認識する。その後、CPU19は、バッファ33を介してVS1#端子のレベルを読み出す(ステップS2)。VS1#端子がLOWレベルであれば(ステップS3)、CPU19は、電源スイッチ31の出力を3.3Vに設定する(ステップS4)。VS1#端子がLOWレベルでなければ(ステップS3)、CPU19は、電源スイッチ31の出力を5Vに設定する(ステップS5)。

#### 【0063】

以上のCAインターフェース回路におけるシステム構成およびバッファ制御は、PCカードソケット13にCIあるいはCableCARDが挿入されている／されていない場合において、デコーダLSI2とPCカードソケット13間の接続および接続における電圧レベルを適切に実現することができる。なお、CD1#、CD2#、VS1#の端子仕様については、PC Card Standard Volume2 Electrical Specificationに記載されているので説明を省略する。

#### 【0064】

以上のように本発明のDTVモジュールおよびそれに用いるインターフェース回路は、各地域のフロントエンドおよび各市場のCAモジュールを直接接続可能であり、それらと接続保証して製品化することが可能である。また製品化する上で低コストおよび小型で実現可能である。

#### 【産業上の利用可能性】

#### 【0065】

本発明にかかるDTVモジュールは、量産効果によるコストダウンが更に見込め、また、小型化が見込めることから携帯型受信機や車載受信機などにも応用することにより、デジタルテレビジョン受信機の普及に貢献する効果を有し、デジタルテレビジョン受信機またはパーソナルパソコンまたは携帯型端末などデジタルテレビジョン放送を受信するデジ

タルテレビジョン受信機等として有用である。

【図面の簡単な説明】

【0066】

【図1】 本発明の実施の形態1における実装形態を示す構成図

【図2】 本発明の実施の形態1におけるデジタル放送受信機におけるDTVモジュールの実装形態を示す斜視図

【図3】 本発明の実施の形態1におけるDTVモジュールのシステム構成図

【図4】 本発明の実施の形態1におけるCAインターフェース回路のシステム構成図

【図5】 本発明の実施の形態1における各バッファのイネーブル信号の設定を示した図

【図6】 本発明の実施の形態1における電源スイッチの設定を示した図

【図7】 本発明の実施の形態1における電源スイッチの設定制御を示すフローチャート

【符号の説明】

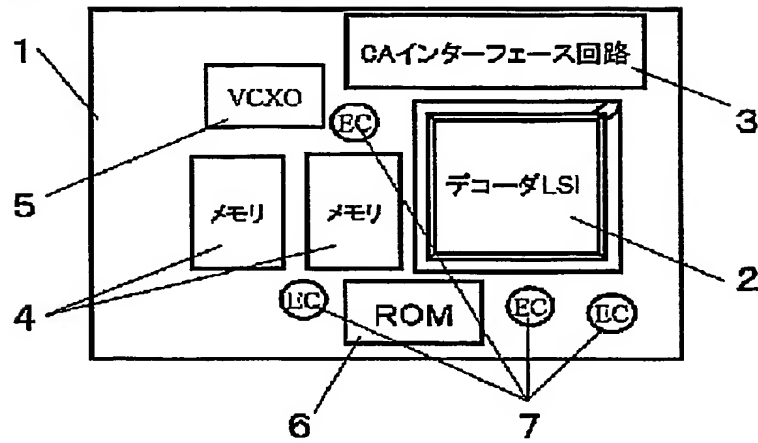
【0067】

- 1 DTVモジュール
- 2 デコーダLSI
- 3 CAインターフェース回路
- 4 メモリ
- 5 VCXO
- 6 ROM
- 7 コンデンサ
- 9 半田ボール
- 10 メモリ
- 12 復調器
- 13 PCカードソケット
- 14 CAモジュール
- 18 デコーダ
- 19 CPU
- 22 ICカードインターフェース
- 23 ICカードコネクタ
- 31 電源スイッチ
- 33 バッファ
- 34 バッファ
- 35 バッファ
- 36 バッファ
- 37 バッファ
- 38 バッファ
- 39 バッファ
- 40 バッファ
- 41 バッファ
- 42 バッファ
- 43 バッファ
- 101 マザー基板
- 102 フロントエンド
- 103 電源ユニット
- 104 受信機筐体
- 105 ソケット

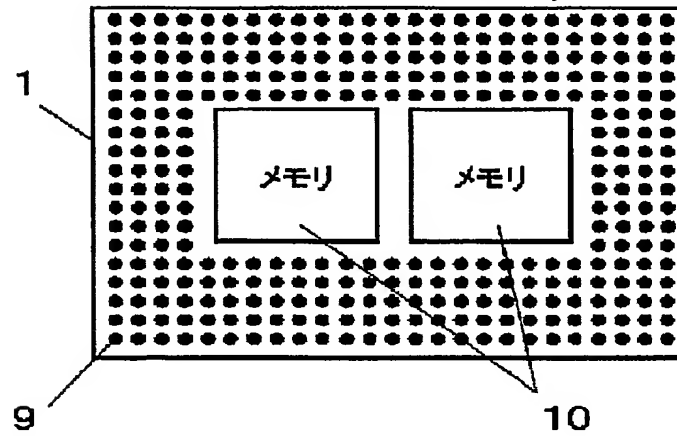
【書類名】 図面

【図 1】

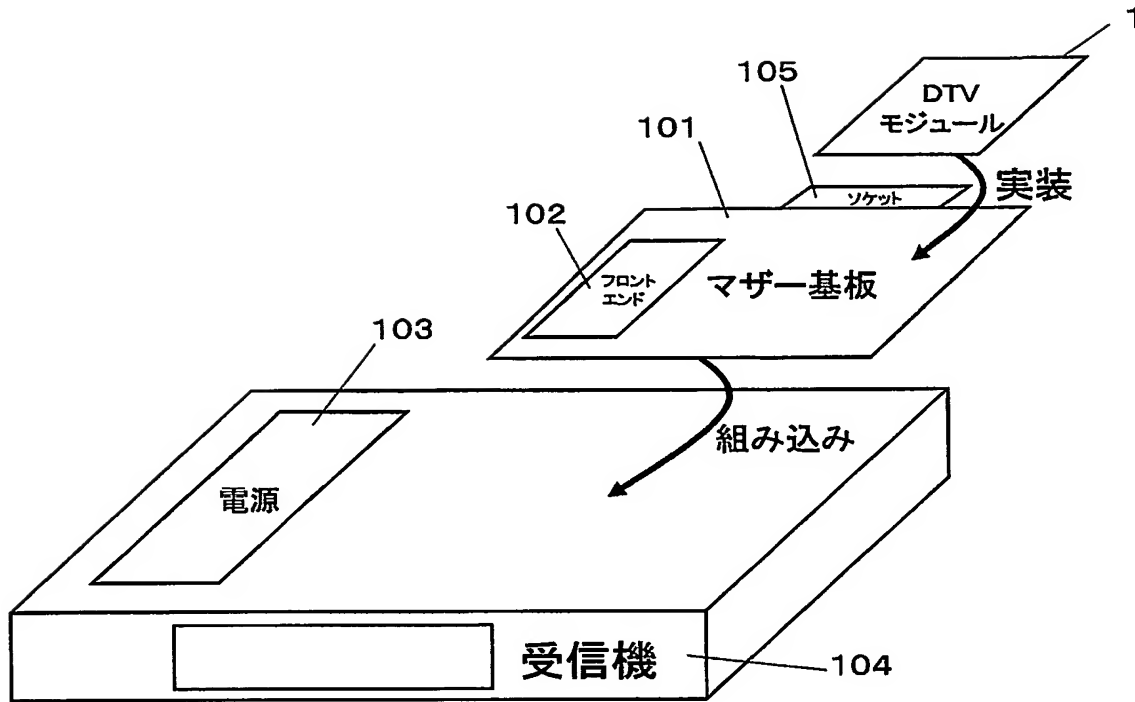
(a) 部品面 (Top View)



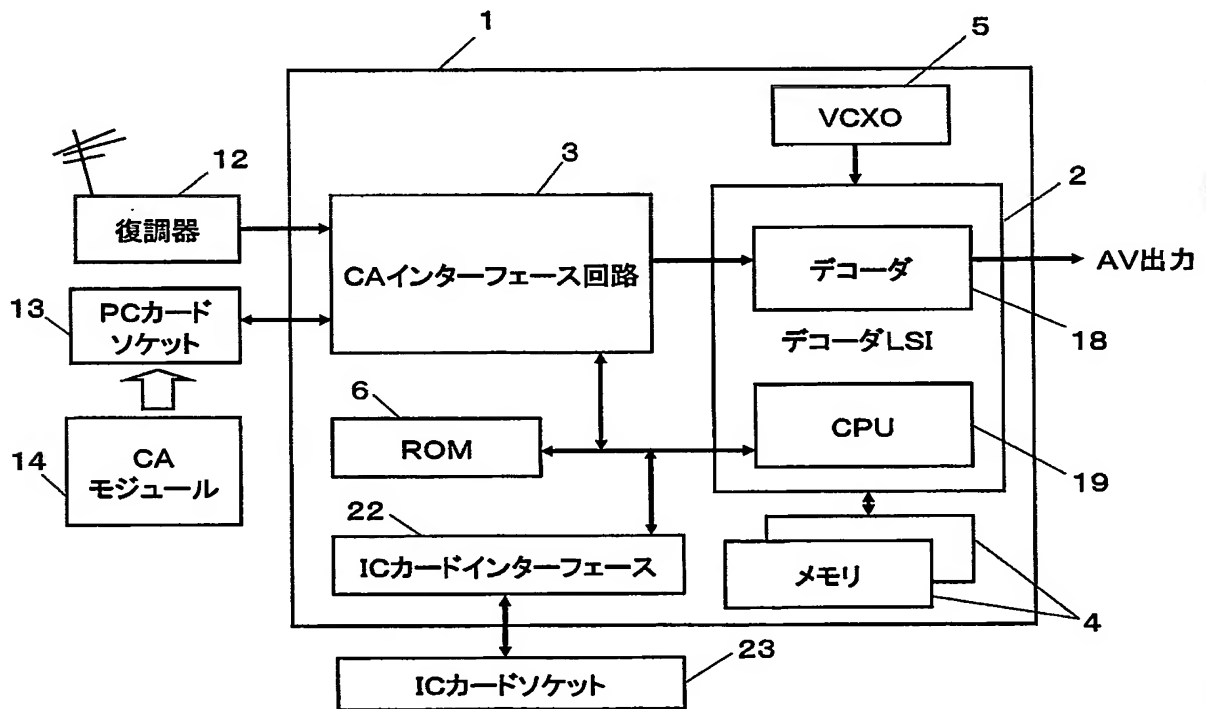
(b) 半田面 (Bottom View)



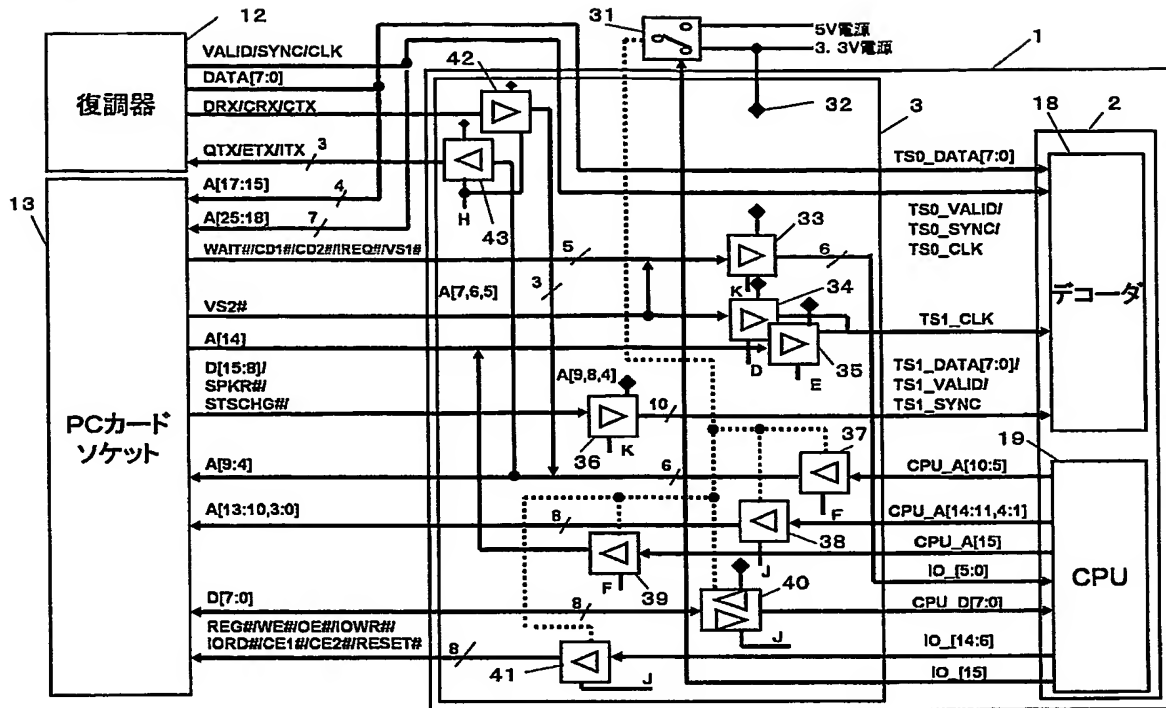
【図 2】



【図 3】



【図 4】



【図 5】

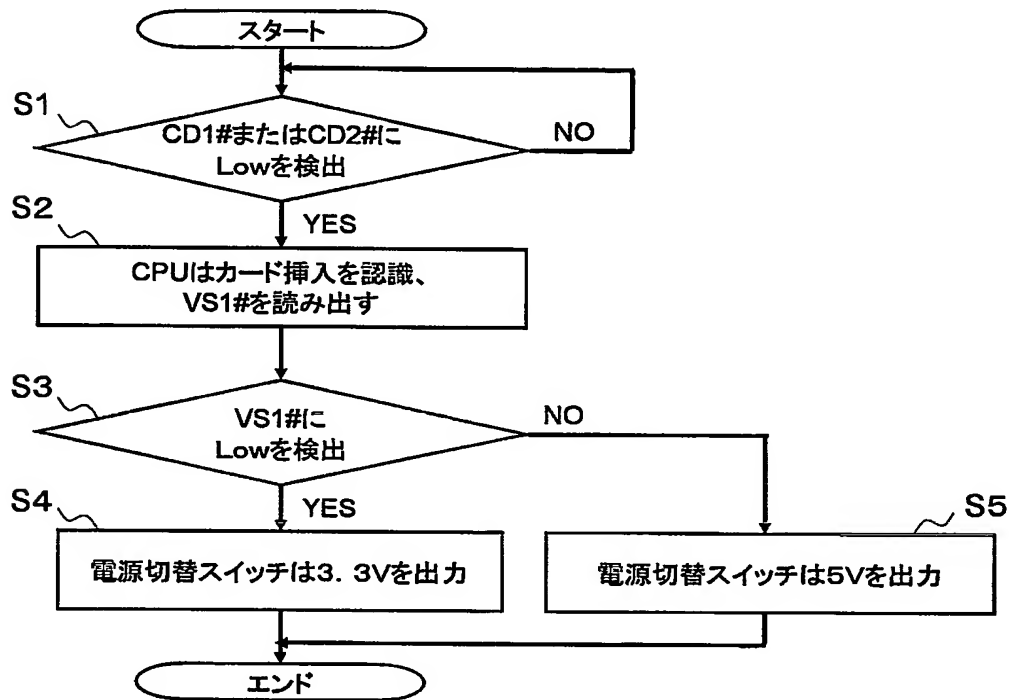
		CAモジュール未挿入	CAモジュール挿入		
			CI	Cable Card	
				メモリー状態	Cable Card 状態
イネーブル制御信号	D	オフ	オン	オフ	オフ
	E	オフ	オフ	オフ	オン
	F	オフ	オン	オン	オフ
	H	オフ	オフ	オフ	オン
	J	オフ	オン	オン	オン
	K	オン	オン	オン	オン



【図 6】

	CAモジュール 未挿入	CAモジュール挿入		
		CI	Cable Card	
			メモリー状態	Cable Card 状態
バッファ電源 カードVCC	3.3V	5V	3.3V	3.3V

【図 7】



**【書類名】要約書****【要約】**

**【課題】** コストを増大させる事無く各市場の C A モジュールに接続する為のインターフェース回路やソケットを共通化できる全世界対応の D T V モジュールを提供する。

**【解決手段】** D T V モジュール 1 は、両面に実装が可能な多層構造のプリント基板と実装される部品より成る。部品面に実装されている部品は、バックエンドの処理を行うデコーダ L S I 2 と、各市場における C A モジュールと直接接続可能な共通インターフェースである C A インターフェース回路 3 と、デコーダ L S I のワーク用のメモリ 4 と、デコーダ L S I のクロック生成用の V C X O 5 と、デコーダ L S I 内の C P U 用のプログラムのコードを記憶する R O M 6 と、図示しない各部品用の電源に接続されるコンデンサ 7 がある。半田面に実装されている部品は、デコーダ L S I の第二のワーク用のメモリ 1 0 と、D T V モジュールを実装する為の半田ボール 9 がある。

**【選択図】** 図 1

特願 2 0 0 3 - 3 2 7 7 8 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社